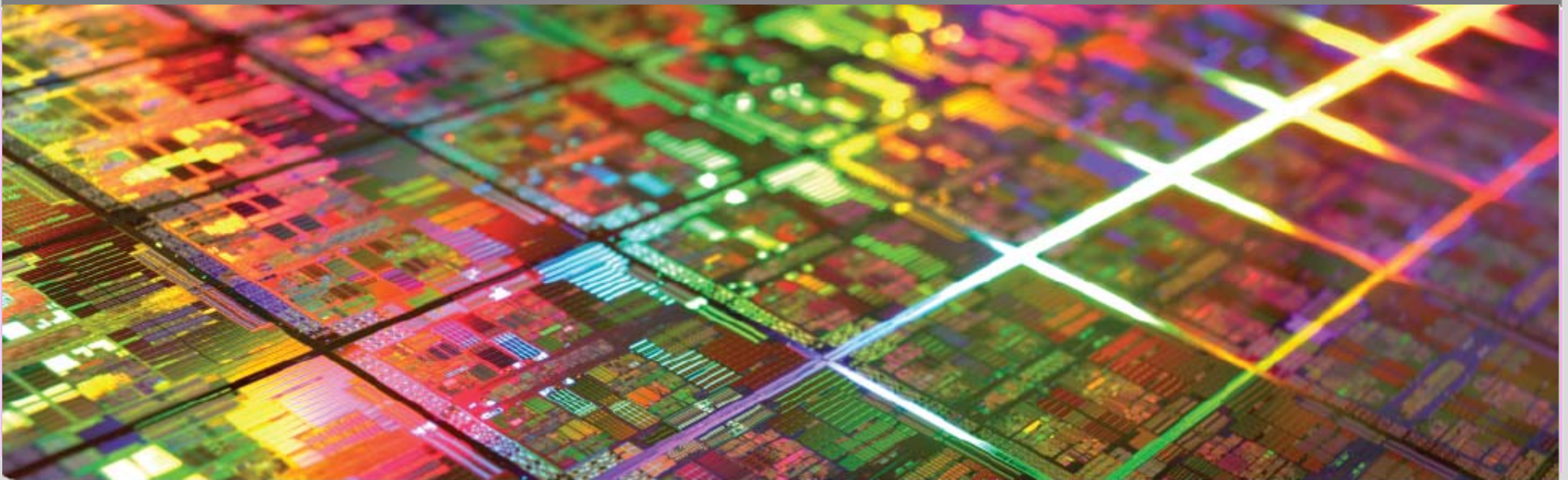


Rechnerorganisation

Vorlesung im Wintersemester 2017/18

Prof. Dr. Wolfgang Karl

Institut für Technische Informatik (ITEC), Lehrstuhl für Rechnerarchitektur und Parallelverarbeitung



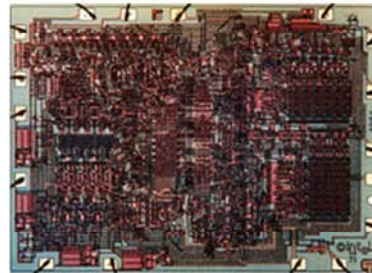
Ein Blick zurück ...

Entwicklung der Rechnertechnologie

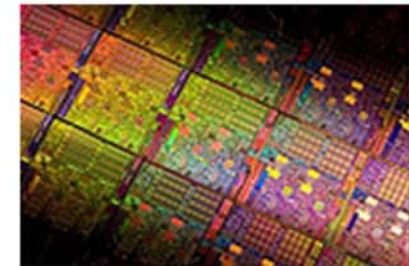
Transistoren: ab ~1947
Halbleitertechnologie
Schaltzeit: ns-Bereich



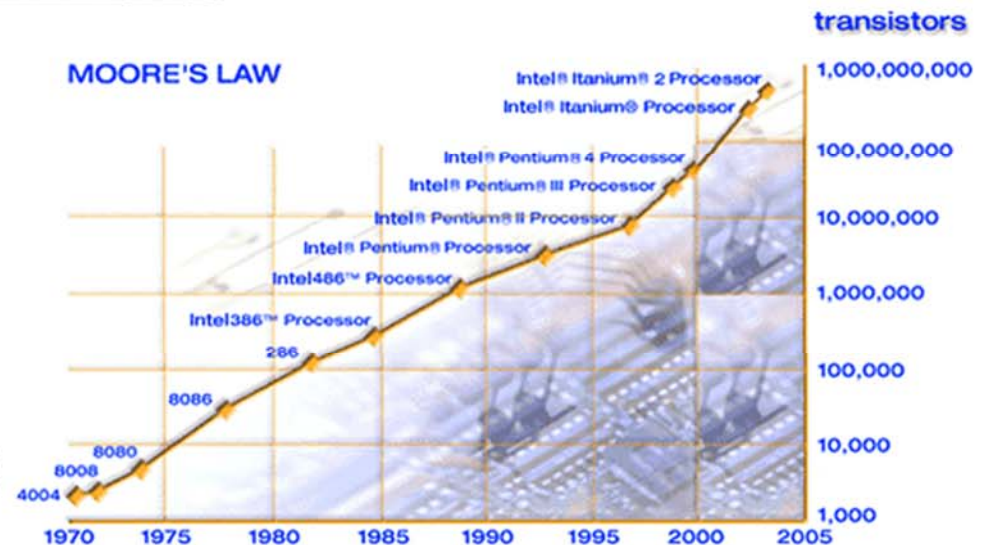
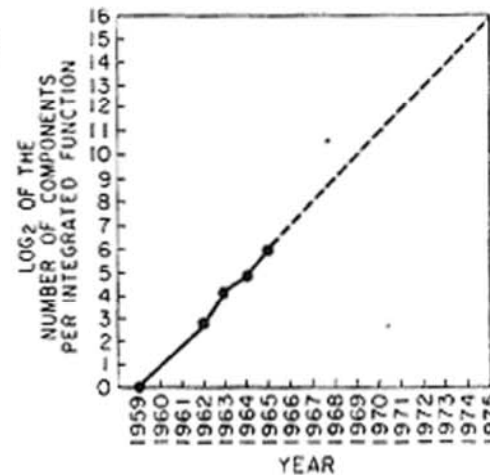
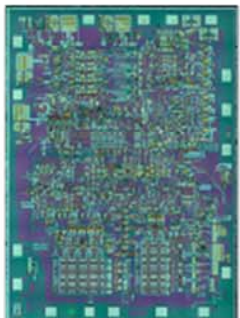
Intel 4004, 1971
~ 2300 Transistoren
Strukturbreite: 10µm



Intel „Nehalem“, 2010
~ 2 Mrd. Transistoren
Strukturbreite: 32nm



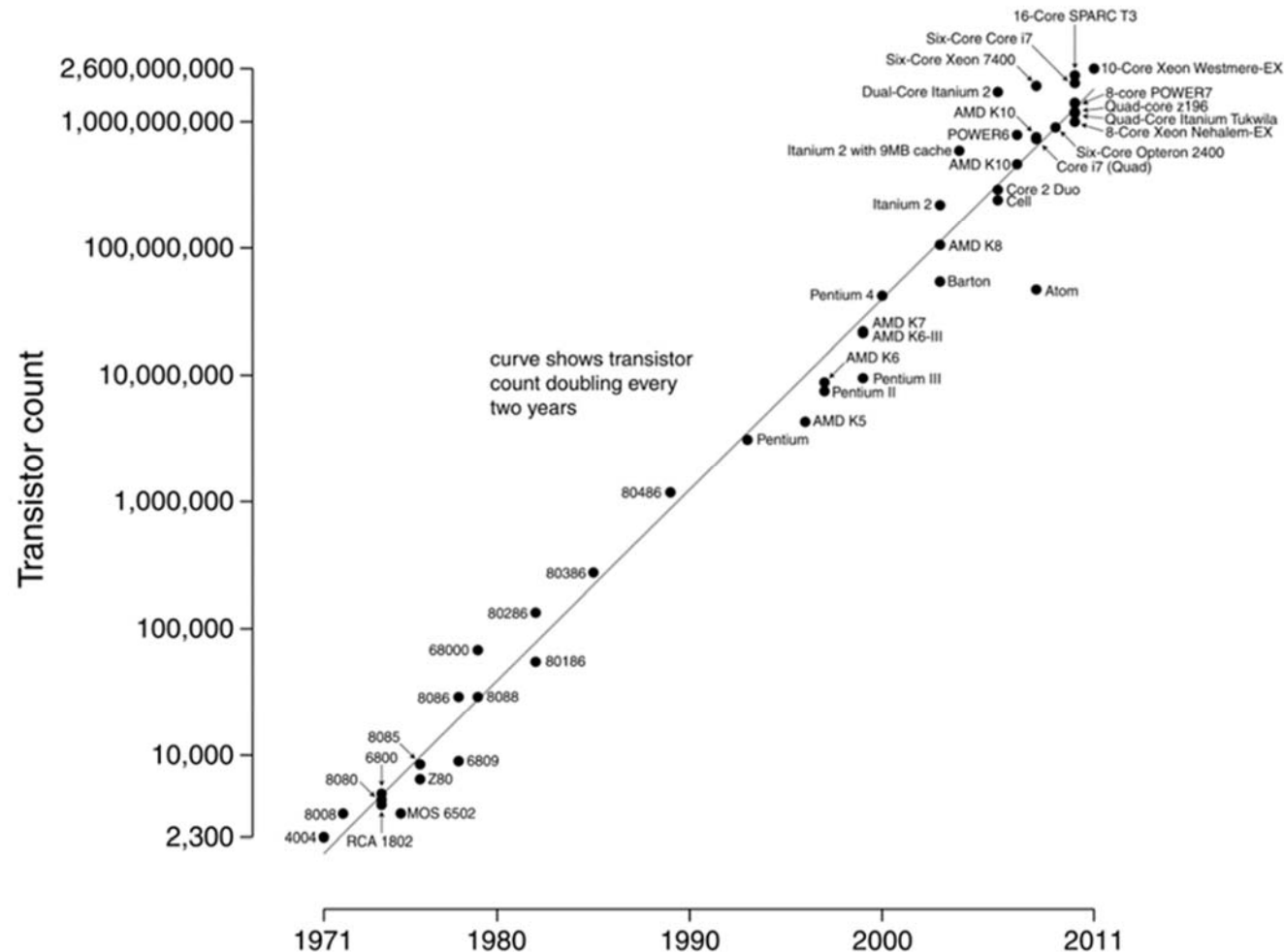
Planartechnik: ab ~1958
Integrierte Schaltkreise
Schaltzeit: ms-Bereich



Ein Blick zurück ...

Entwicklung der Rechnertechnologie

Moore's Law am Beispiel von Mikroprozessoren

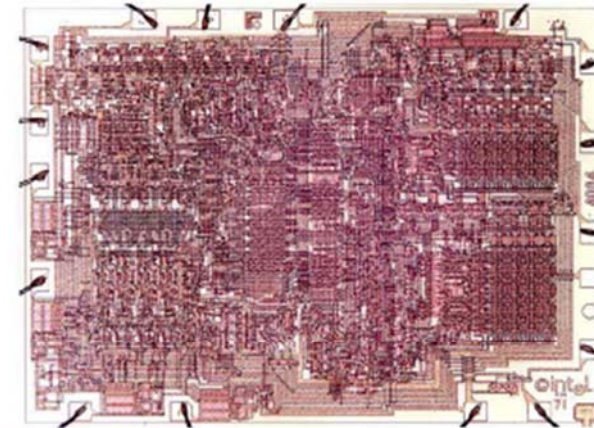


Ein Blick zurück ...

■ Entwicklung der Mikroprozessoren

■ 1971: Intel 4004 als Kernstück eines Mikrorechnersystems (MCS-4)

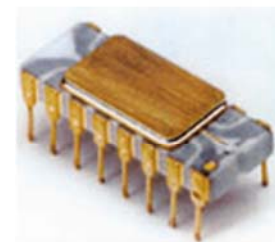
- Intel 4004
 - Zentraleinheit (CPU)
 - 4 Bit BCD ALU
 - 4 Bit Datenbus
 - 12 Bit Adressbus
 - 45 Befehle
- Chip mit Festwertspeicher
- Chip mit RAM
- Chip mit Schieberegister für E/A



- 4-bit accumulator architecture
- 8µm pMOS
- 2,300 transistors
- 3 x 4 mm²
- 750kHz clock
- 8-16 cycles/inst.

Quelle: Intel Museum:

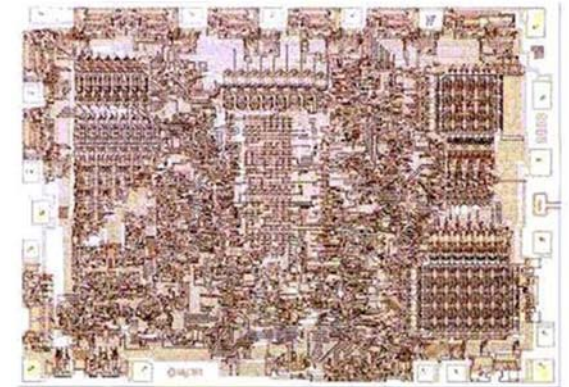
http://www.intel.com/museum/online/hist_micro/hof/



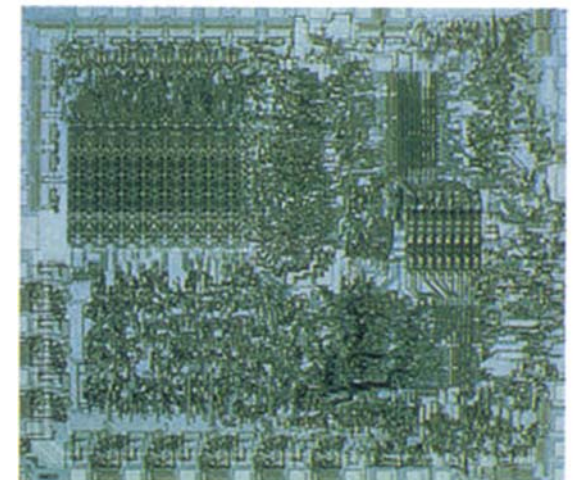
Fachzeitschrift: *Electronics News*
Die erste µP-Anzeige (15. Nov. 1971)

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Weitere Mikroprozessoren von Intel in den 1970er Jahren**
- **1972: 8008 als universelle 8-Bit CPU**
 - ca. 3000 Transistoren, PMOS Technologie (2 Versorgungsspannungen)
 - 8 Bit Datenbus, 14 Bit Adressbus (16 kByte)
 - 6 Register (8 Bit), 45 Befehle
 - Ausführungszeit der Instruktionen: ca. 30 Mikrosekunden
 - 18 Anschlüsse
- **1972: Intel 8080, 8-Bit Prozessor**
 - ca. 5000 Transistoren, 1974 in NMOS-Technologie
 - Ausführungszeit der Instruktionen: ca. 2 Mikrosekunden
 - ca. 75 Befehle
 - 8 Bit Datenbus, 16 Bit Adressbus (64kByte)
 - Industriestandard



Quelle: Intel Museum



Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Mikroprozessoren anderer Hersteller in den 1970er Jahren**
- **1974: Motorola 6800:**
 - 8 Bit Prozessor in NMOS-Technologie, ca. 5000 Transistoren
- **1974: Erster 16 Bit Prozessor PACE von National Semiconductor:**
 - PMOS Technologie
 - Instruktionszeit 10 Mikrosekunden
(als SUPER-PACE in Bipolartechnologie erheblich schneller, aber auch wesentlich höherer Stromverbrauch)
- **1976: TMS 9000 von Texas Instruments:**
 - 16 Bit Prozessor
 - Verwaltete seine Register im Schreib-Lesespeicher → rascher Programmwechsel, aber langsame Verarbeitungszeit

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Mikroprozessoren anderer Hersteller in den 1970er Jahren**
- **1976: Z80 der Firma Zilog:**
 - 8 Bit Prozessor
 - Abwärtskompatibel zu 8080, aber mit höherer Leistungsfähigkeit und mehr Befehlen
- **1979: Z8000 von Zilog:**
 - 16 Bit Prozessor, Nachfolger des Z80
- **1979: 68000 von Motorola (später Fairchild, heute NXP)**
 - 16 Bit Prozessor, intern jedoch **32 Bit Registersatz**, HMOS Technologie, ca. 68000 Transistoren, 24 Bit Adressbus (16 MByte), orthogonaler Befehlssatz

Ein Blick zurück ...

- Entwicklung der Mikroprozessoren
- Weitere Mikroprozessoren von Intel in den 1970er Jahren

- **1978: Intel 8086:**

- Erster 16 Bit Prozessor von Intel
- HMOS Technologie (High Density MOS)
- ca. 27.000 Transistoren, aber nur 30% mehr Fläche als ein 8080 (5.000 Transistoren)
- **Virtuelle Speicherverwaltung**, 16 Bit Datenbus, 20 Bit Adressbus (1 MByte)



Quelle: Intel

- **1979: Intel 8088**

- Abgespeckte Version des Intel 8086
- Externer 8-Bit Datenbus
- Von IBM für die erste Version des IBM PCs ausgewählt (1981)



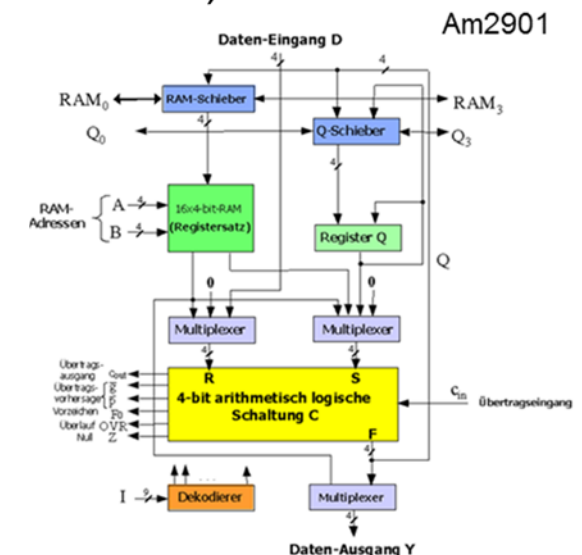
Quelle: https://www-03.ibm.com/ibm/history/exhibits/pc25/pc25_album.html

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Weitere Mikroprozessoren von Intel in den 1970er Jahren**
- **1976: Intel 8748, Intel 8048**
 - Erste Mikrocontroller
 - Kombinieren CPU mit
 - Speicher,
 - Schnittstellen für Peripherie und
 - Ein-/ Ausgabe-Funktionen
- **1979: Digitaler Signalprozessor 2929 von Intel:**
 - spezialisiert auf die Verarbeitung von analogen Signalen, die durch interne AD/DA-Wandler digitalisiert werden

Ein Blick zurück ...

- Entwicklung der Mikroprozessoren
- Eine andere Entwicklung in den 1970er Jahren: Bitslice-Technologie
- 1975: AMD AM 2900 Familie
 - Bipolar-Technologie
 - Komponenten zum modularen Aufbau von Prozessoren
 - Am2901 4-bit bit-slice ALU (1975)
 - Am2902 – Wortrandlogikbaustein (Look-Ahead Carry Generator)
 - Am2903 – 4-bit-slice ALU, mit Hardware multiply
 - Am2904 – Status and Shift Control Unit
 - Am2910 – Sequencer Baustein
 - Mikroprogrammierbar



Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Weitere Mikroprozessoren in den 1980er Jahren**
- **1982: Intel 80286**
 - Nach dem 80186 der zweite Nachfolger des 8086
 - ca. 130.000 Transistoren
 - Erweiterter Adressraum (16 MByte)
 - Mehrere Betriebsarten
 - **Multitasking-Unterstützung**
 - Jahrelang in vielen Personal Computern (z. B. IBM AT) eingesetzt

Ein Blick zurück ...

■ Entwicklung der Mikroprozessoren

■ 1985: 80386 von Intel

■ 32 Bit Prozessor

■ 32 Bit Adress- und Datenbus

■ CMOS Technologie, 1µm

■ 275.000 Transistoren

■ Clock rates:

■ 16 MHz, 5 MIPS

■ 20 MHz, 6 to 7 MIPS, introduced February 16, 1987

■ 25 MHz, 7.5 MIPS, introduced April 4, 1988

■ 33 MHz, 9.9 MIPS (9.4 SPECint92 on Compaq/i 16K L2), introduced April 10, 1989

■ Addressable memory 4 GB

■ Virtual memory 64 TB[6]

■ Virtuelle Speicherverwaltung: Segmentierung, Paging

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **1986: 68020 von Motorola (später Fairchild, heute NXP)**
 - 32 Bit Prozessor
 - ca. 200.000 Transistoren
 - Virtueller Adressraum
 - Koprozessorschnittstelle zur Anbindung
 - einer Gleitkommaeinheit FPU (MC 68881) und
 - einer Speicherverwaltungseinheit, MMU (MC86851)

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **RISC Mikroprozessoren:**
 - **~1987: Advanced Micro Devices (AMD)
Am29000**
 - **April 1987: Sun Microsystems SPARC:**
 - 32 Bit CPU mit über 55.000 Transistoren
 - **Alle Befehle waren 32 Bit Breit**
 - Ausführungszeit lag bei nur 1,3 Takten pro Befehl
 - Eine Sun war 3 mal schneller als ein 386er Rechner bei einem Fünftel der Komplexität
 - Der SPARC verfügte in der ersten Version über 128 Register
- **MIPS technologies (MIPS R2000 / MIPS R3000)**
- **ARM – Architektur**
 - Vergabe von Lizenzen

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **RISC Mikroprozessoren:**
- **1985: MIPS R2000 von MIPS Computer Systems (später MIPS Technologies Inc., SGI)**
 - Einsatz in Workstations
 - 8.3, 12.5 and 15 MHz Versionen
 - 110,000 transistors, 80 mm² in a 2.0 µm, CMOS Technologie
 - TLB (Translation Lookaside Buffer)
 - Koprozessoren:
 - R2010 floating-point accelerator,
 - Vier R2020 write buffer chips

Ein Blick zurück ...

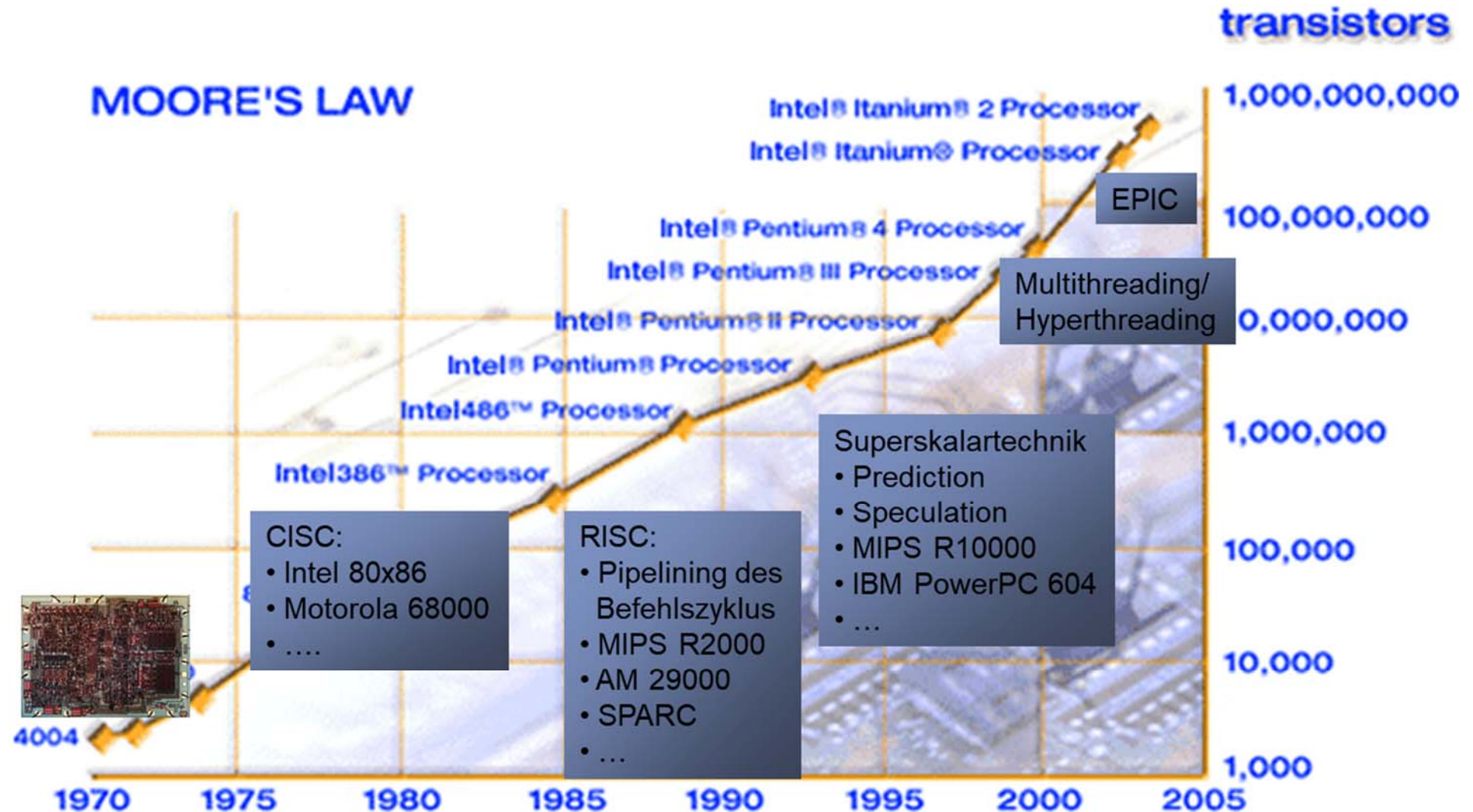
- Entwicklung der Mikroprozessoren
- Dagegen: die „letzten“ klassischen CISC Mikroprozessoren:
- 1989: 80486 von Intel
 - Erweiterung des 80386 um integrierten Cache und integrierten numerischen Coprozessor
 - ca. 1.200.000 Transistoren
 - Multiprozessor-Unterstützung
- 1990: 68040 von Motorola
 - Nach 68030 zweiter Nachfolger des 68000
 - ca. 1.200.000 Transistoren

Ein Blick zurück ...

- **Entwicklung der Mikroprozessoren**
- **Superskalartechnik**
- **1992: Pentium von Intel**
 - Nachfolger des 80486
 - ca. 3.100.000 Transistoren
 - intern teilweise 64 Bit Architektur
 - **2 fach Superskalar**
 - Code und Datencache
- **1992-95: Power PC's MPC601, MPC603, MPC604, MPC620 von Motorola/IBM/Apple**
 - RISC Architektur, teilweise 64 Bit Architektur (Daten)
 - Superskalar
 - ca. 4.000.000 Transistoren (MPC620)

Ein Blick zurück ...

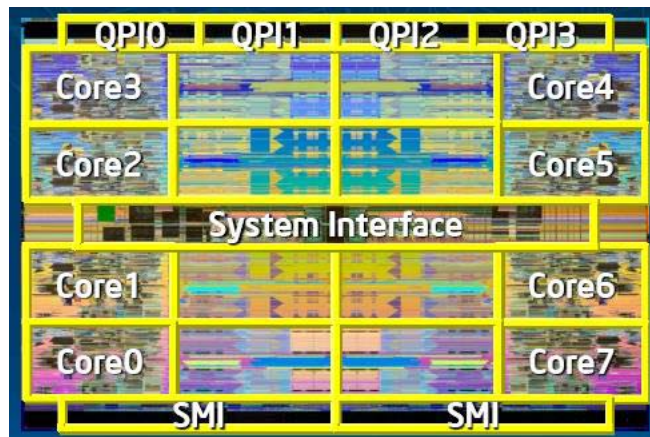
■ Entwicklung der Mikroprozessoren



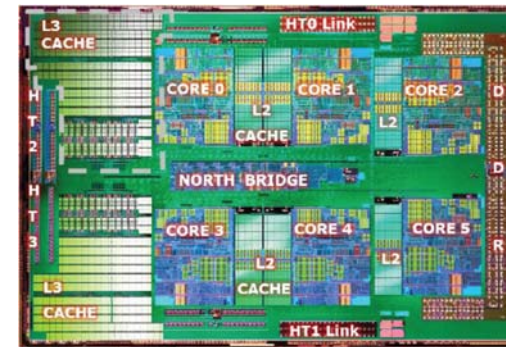
Wie geht's weiter ...

- Entwicklung der Mikroprozessoren
- Multicore, Manycore: homogene Strukturen

Intel Nehalem – 8 cores



AMD „Magny Cours“ – 6 cores



Quelle: Pat Conway, **AMD**: Blade Computing with the AMD Opeteron™ Processor ("Magny Cours"), HotChips-21, Stanford, 2009
<http://www.hotchips.org/archives/hc21/>

Intel SCC – 48 cores

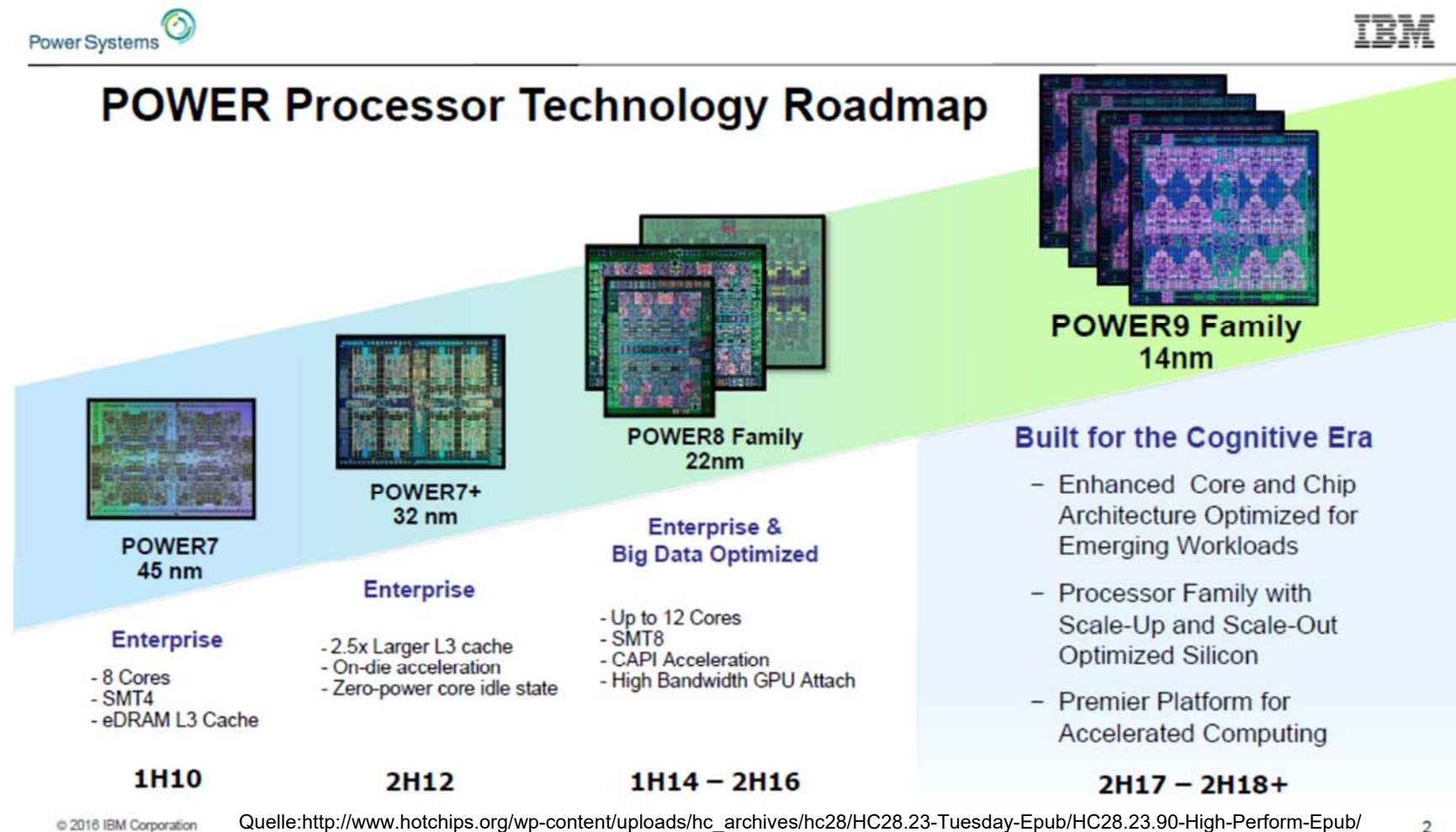


<http://download.intel.com/pressroom/images/rockcreek/scc-h-rack.jpg>

- Integration mehrerer identischer Prozessorkerne auf einem Chip
- Thread and Task-level Parallelism
- Gleiche Befehlssatzarchitektur

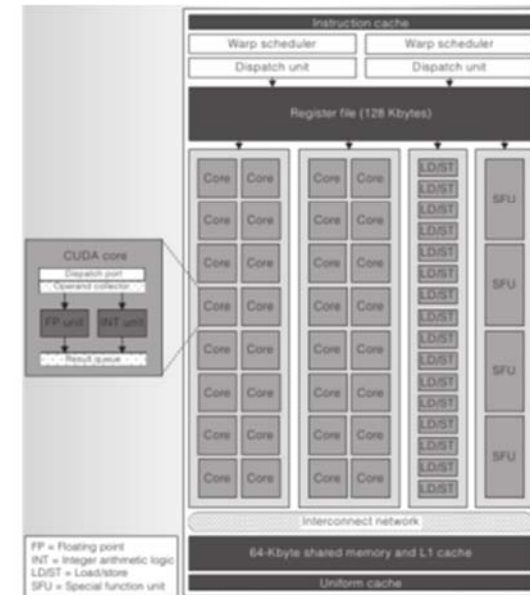
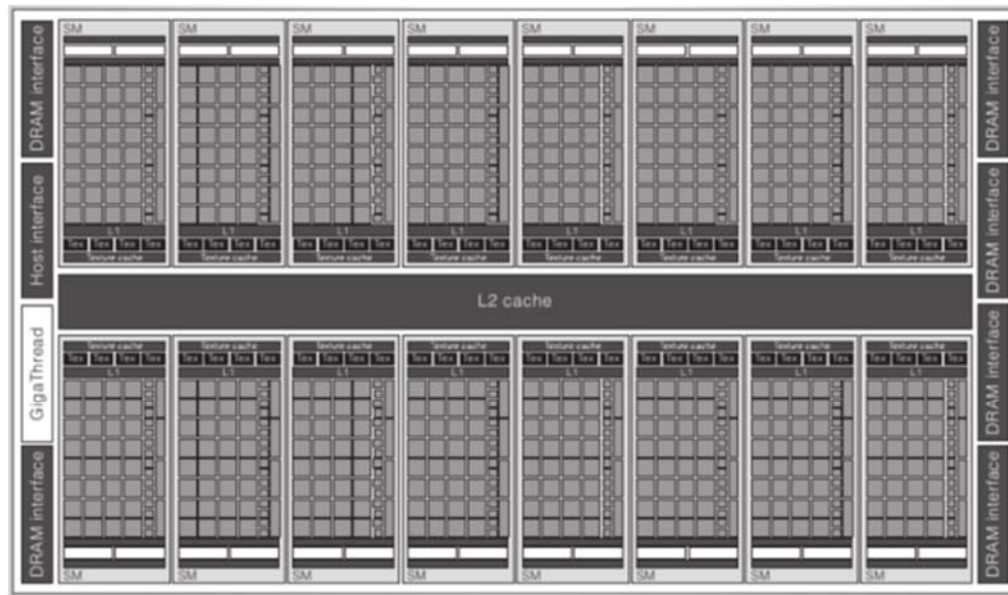
Wie geht's weiter ...

- Entwicklung der Mikroprozessoren
- Multicore, Manycore: homogene Strukturen



Wie geht's weiter ...

- Entwicklung der Mikroprozessoren
- Multicore, Manycore: homogene Strukturen
 - Beschleuniger, GPGPUs



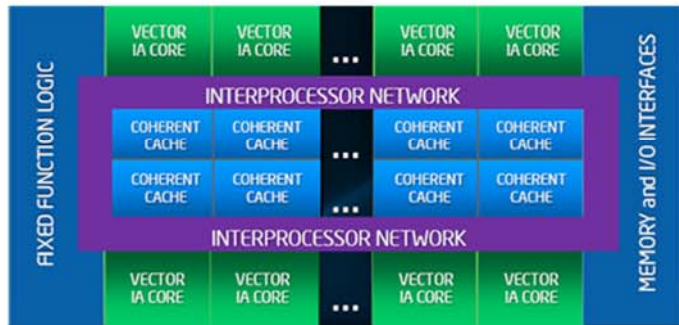
Quelle: N.J. Nickolls, J.W.Dally: The GPU computing Era. IEEE Micro, 31(2), 2010

- Datenparallelismus
- ALU Replikation, e.g. FP Beschleuniger
- Host/Master $\leftrightarrow$ Accelerator/Slave

Wie geht's weiter ...

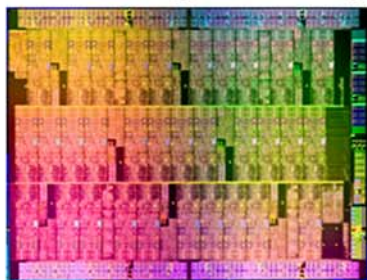
- Entwicklung der Mikroprozessoren
- Multicore, Manycore: heterogene Strukturen
 - Anwendungsspezifische Komponenten

Intel Many Integrated Core (MIC) architecture



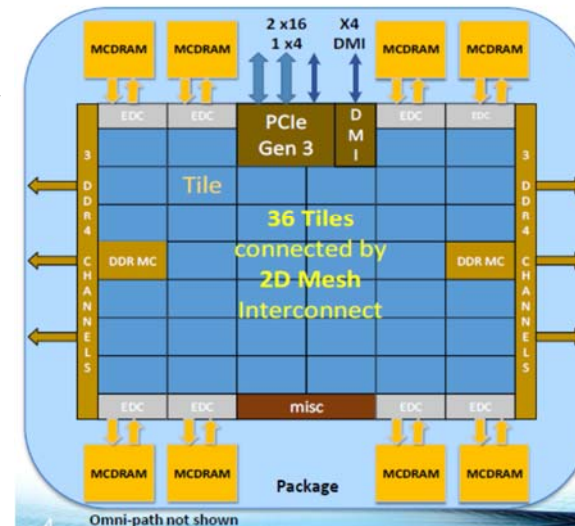
http://download.intel.com/pressroom/archive/reference/ISC_2010_Skaugen_keynote.pdf

Intel Knights Ferry Platform



http://download.intel.com/pressroom/images/Aubrey_Isle_die.jpg

Knights Landing Overview



TILE	2 VPU	CHA	2 VPU
	Core	1MB L2	Core

Chip: 36 Tiles interconnected by 2D Mesh

Title: 2 Cores + 2 VPU/core + 1 MB L2

Memory: MCDRAM: 16 GB on-package; High BW

DDR4: 6 channels @ 2400 up to 384GB

IO: 36 lanes PCIe Gen3. 4 lanes of DMI for chipset

Node: 1-Socket only

Fabric: Omni-Path on-package (not shown)

Vector Peak Perf: 3+TF DP and 6+TF SP Flops

Scalar Perf: ~3x over Knights Corner

Streams Triad (GB/s): MCDRAM : 400+; DDR: 90+

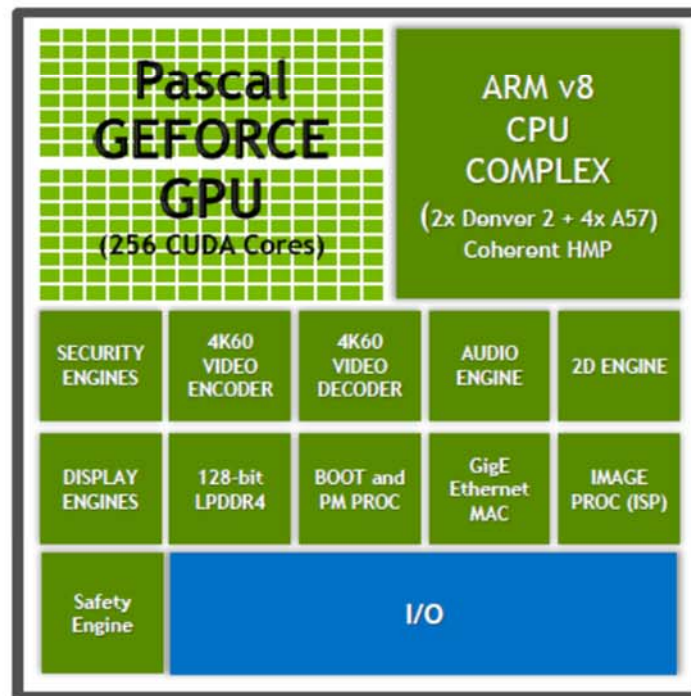
Source Intel. All products, computer systems, dates and figures specified are preliminary based on current expectations, and are subject to change without notice. KNL data are preliminary based on current expectations and are subject to change without notice. 15Binary Compatible with Intel Xeon processors using Haswell architecture. 16Standard numbers are based on STREAM-like memory access pattern. 17Estimated based on internal Intel analysis and are not a guarantee. 18Actual performance may vary. Actual performance in system may vary. Actual performance in system may vary. Actual performance in system may vary.

Quelle: http://www.hotchips.org/wp-content/uploads/hc_archives/hc27/Hc27.25-Tuesday-Epub/Hc27.25.70-Processors-Epub/Hc27.25.710-Knights-Landing-Sodani-Intel.pdf

Wie geht's weiter ...

- Entwicklung der Mikroprozessoren
- Multicore, Manycore: heterogene Strukturen
 - Anwendungsspezifische Komponenten

“PARKER” NEXT-GENERATION SYSTEM-ON-CHIP



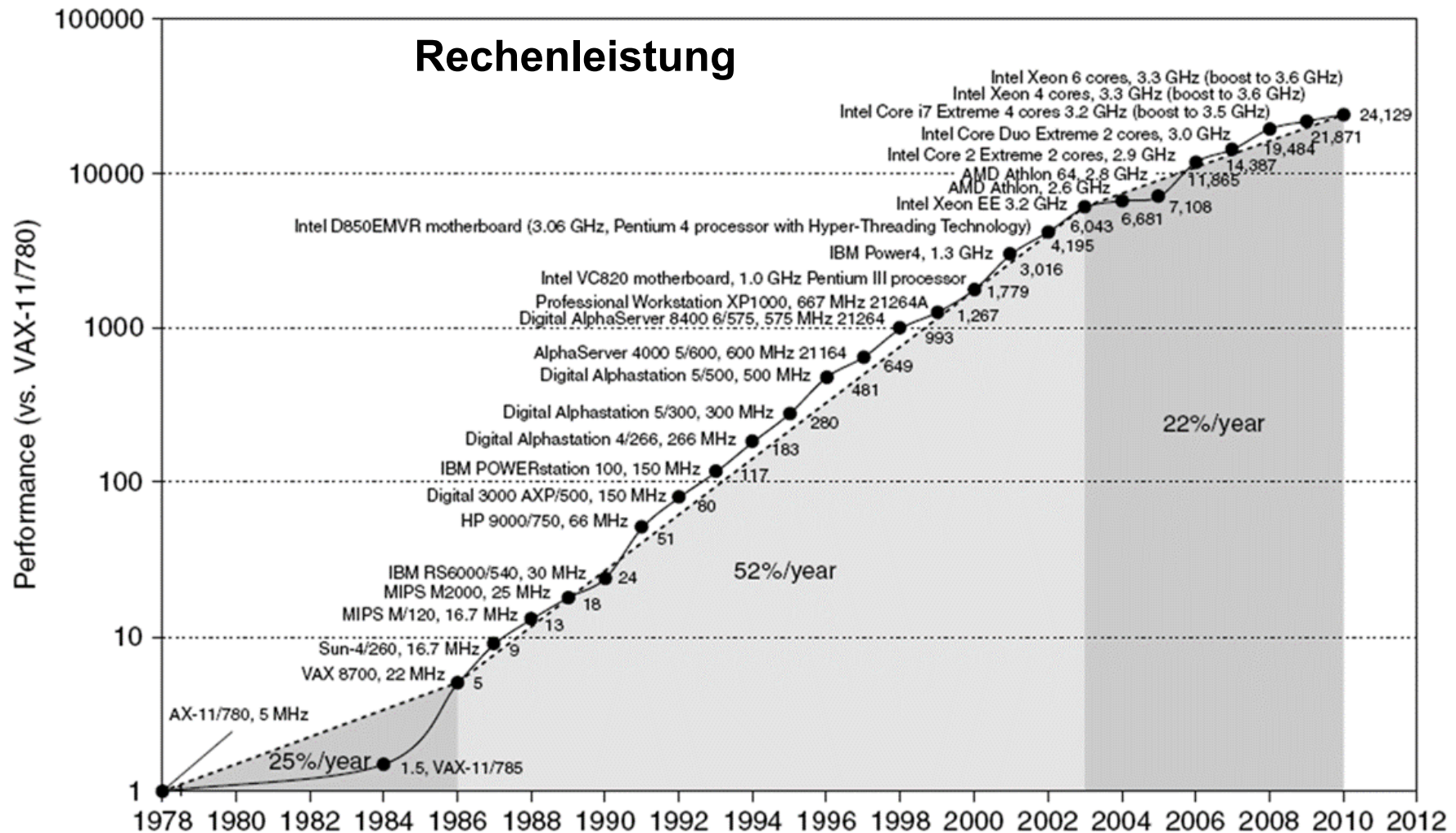
- NVIDIA's next-generation Pascal graphics architecture
- NVIDIA's next-generation ARM 64b Denver 2 CPU
- Functional safety for automotive applications
- Hardware-enabled virtualization architecture
- Improvements to SoC architecture to enable modularity and ASIC development efficiency
- Industry-leading 16nm FF process

Quelle: http://www.hotchips.org/wp-content/uploads/hc_archives/hc28/HC28.22-Monday-Epub/HC28.22.30-Low-Power-Epub/HC28.22.322-Tegra-Parker-AndiSkende-NVIDIA-v01.pdf

4 NVIDIA

Wie geht's weiter ...

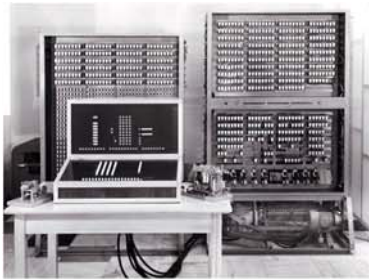
■ Entwicklung der Mikroprozessoren



Wie geht's weiter ...

■ Entwicklung im Bereich der Höchstleistungsrechner

$$\text{MFlops} = \frac{\text{Anzahl der ausgeführten Gleitkommainstruktionen}}{10^6 \times \text{Ausführungszeit}}$$



Zuse Z3 1 Flops (10^0)
1941

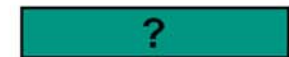


GigaFlops (10^9)
1985

Intel ASCI Red



TeraFlops (10^{12})
1997

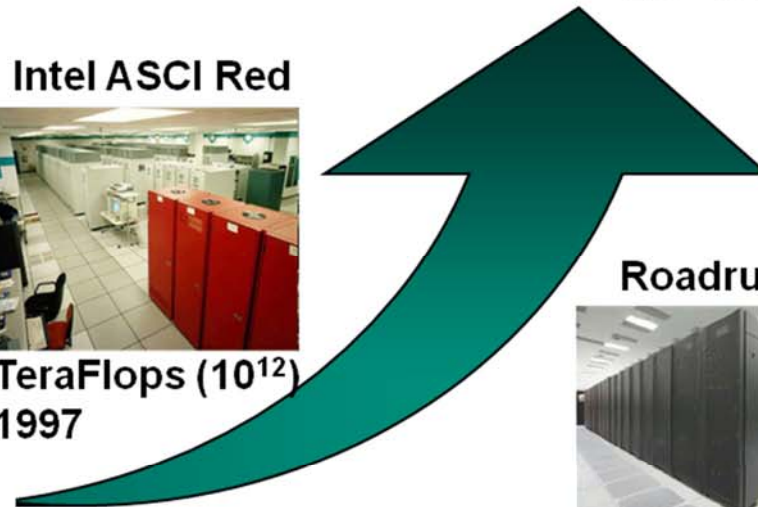


ExaFlops (10^{18})

Roadrunner



PetaFlops (10^{15})
2008



Hardwarearchitektur: Entwurfsprinzipien

- Legt die **Struktur und den Aufbau eines Rechensystems** aus einzelnen Teilelementen fest und beschreibt die Schnittstellen dieser Elemente und deren Zusammenwirken zur Realisierung des Gesamtsystems
- **Problem: Hohe Komplexität**
 - Mehrere Hundert Millionen Transistoren auf heutigen ICs
- **Lösung: Hierarchischer Entwurstil**
 - Ausgehend von einer Darstellungsebene hohen Abstraktionsgrades wird das zu entwerfende System über mehrere Abstraktionsebenen immer weiter verfeinert